

Requested document:	JP2004151761 click here to view the pdf document
---------------------	--

Control apparatus of storage unit, and method of controlling the control apparatus of storage unit

Patent Number: [US2004143829](#)

Publication date: 2004-07-22

Inventor(s): UCHIUMI KATSUHIRO (JP); MITSUOKA YOSHIO (JP); KUWABARA HIROSHI (JP)

Applicant(s): HITACHI LTD (JP)

Requested Patent: [JP2004151761](#)

Application Number: US20030696663 20031028

Priority Number(s): JP20020313027 20021028

IPC Classification: G06F12/00; G06F9/44

EC Classification:

Equivalents:

Abstract

A control apparatus of a storage unit having a first and a second communication ports for conducting communication with a computer, a first and a second processors that control respectively the first and the second communication ports, first and second storage devices that store respectively a first and a second queues for storing commands sent from the computer respectively to the first and the second communication ports, and a first nonvolatile memory that the first processor accesses, the first and the second processors executing the commands stored respectively in the first and the second queues to thereby control the communications with the computer, comprising a unit causing the second processor to implement execution of the command stored in the first queue; and a unit changing data stored in the first memory while the second processor is being caused to implement execution of the command stored in the first queue.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-151761

(P2004-151761A)

(43) 公開日 平成16年5月27日(2004.5.27)

(51) Int.C1.⁷
G06F 11/00F 1
G06F 9/06 630Eテーマコード(参考)
5B076

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2002-313027 (P2002-313027)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成14年10月28日 (2002.10.28)	(74) 代理人	100071283 弁理士 一色 健輔
		(74) 代理人	100084906 弁理士 原島 典孝
		(74) 代理人	100098523 弁理士 黒川 恵
		(74) 代理人	100112748 弁理士 吉田 浩二
		(74) 代理人	100110009 弁理士 青木 康

最終頁に続く

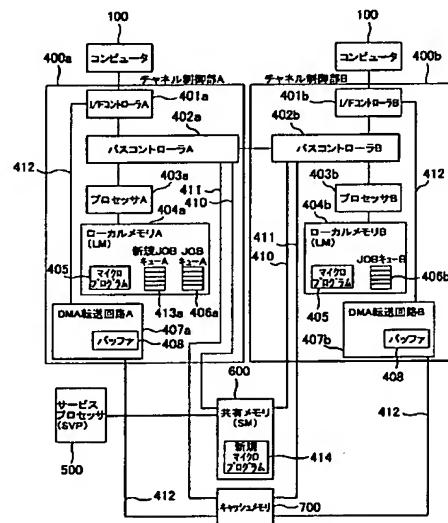
(54) 【発明の名称】記憶装置の制御装置、及び記憶装置の制御装置の制御方法

(57) 【要約】 (修正有)

【課題】制御プログラムを変更する場合に、データの入出力処理を止めずに変更する。

【解決手段】コンピュータとの間で通信を行うための第1及び第2の通信ポートと、第1及び第2の通信ポートをそれぞれ制御する第1及び第2のプロセッサと、コンピュータから第1及び第2の通信ポートにそれぞれ送られたコマンドをそれぞれ記憶するための第1及び第2の待ち行列をそれぞれ記憶する第1及び第2の記憶手段と、第1のプロセッサがアクセスする第1の不揮発性メモリとを備え、第1及び第2のプロセッサはそれぞれ第1及び第2の待ち行列に格納したコマンドを実行することによりコンピュータとの間の通信を制御する記憶装置の制御装置において、第1の待ち行列に格納されたコマンドの実行を第2のプロセッサに担当させ、第1の待ち行列に格納されたコマンドの実行を第2のプロセッサに担当させている間に、第1の不揮発性メモリに記憶されるデータを変更する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

コンピュータとの間で通信を行うための第1の通信ポートと、
前記第1の通信ポートを制御する第1のプロセッサと、
前記コンピュータから前記第1の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第1の待ち行列を記憶する第1の記憶手段と、
前記第1のプロセッサがアクセスする第1の不揮発性メモリと、
前記コンピュータとの間で通信を行うための第2の通信ポートと、
前記第2の通信ポートを制御する第2のプロセッサと、
前記コンピュータから前記第2の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第2の待ち行列を記憶する第2の記憶手段と
を備え、
前記第1のプロセッサは、前記第1の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、
前記第2のプロセッサは、前記第2の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する
記憶装置の制御装置において、
前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させる手段と、
前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させている間に、前記第1の不揮発性メモリに記憶されるデータを変更する手段と
を備えることを特徴とする記憶装置の制御装置。 10

【請求項 2】

前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させる手段は、
前記第1のプロセッサが前記第1の待ち行列に格納された前記コマンドを前記第2の待ち行列に転送し、前記第2のプロセッサが前記第2の待ち行列から前記コマンドを読み出して実行する手段であることを特徴とする請求項1に記載の記憶装置の制御装置。 20

【請求項 3】

前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させる手段は、
前記第2のプロセッサが前記第1の待ち行列から前記コマンドを読み出して実行する手段であることを特徴とする請求項1に記載の記憶装置の制御装置。 30

【請求項 4】

前記第1の不揮発性メモリに記憶されるデータを変更する手段は、
前記第1のプロセッサが、外部から入力されるデータを前記第1の不揮発性メモリに記憶されるデータに上書きする手段である
ことを特徴とする請求項1に記載の記憶装置の制御装置。 40

【請求項 5】

コンピュータとの間で通信を行うための第1の通信ポートと、
前記第1の通信ポートを制御する第1のプロセッサと、
前記コンピュータから前記第1の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第1の待ち行列を記憶する第1の記憶手段と、
前記第1のプロセッサがアクセスする第1の不揮発性メモリと、
前記コンピュータとの間で通信を行うための第2の通信ポートと、
前記第2の通信ポートを制御する第2のプロセッサと、
前記コンピュータから前記第2の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第2の待ち行列を記憶する第2の記憶手段と
を備え、
前記第1のプロセッサは、前記第1の待ち行列に格納した前記コマンドを実行することに 50

より前記コンピュータとの間の前記通信を制御し、
前記第2のプロセッサは、前記第2の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する
記憶装置の制御装置の制御方法であって、
前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させるステップと、
前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させている間に、前記第1の不揮発性メモリに記憶されるデータを変更するステップと
を備えることを特徴とする記憶装置の制御装置の制御方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、記憶装置の制御装置、及び記憶装置の制御装置の制御方法に関する。

【0002】

【従来の技術】

コンピュータシステムは、一旦稼動を開始した後も制御プログラムを変更することにより新たな機能の追加等を行うことができる。通常は、新たな制御プログラムを装置に組み込むために、当該装置の再起動が行われる。

しかしながら24時間365日の連続運転が求められるようなコンピュータシステムにおいてはシステムを停止させることはできない。

そのため、従来からコンピュータシステムにおける記憶装置の制御装置の制御プログラムを変更する場合に、データの入出力処理を止めずに制御プログラムを変更する技術が提案されている（例えば特許文献1参照）。

20

【0003】

【特許文献1】

特開平7-306844号公報

【0004】

【発明が解決しようとする課題】

しかしながら従来の技術では、コンピュータから記憶装置の制御装置へのデータ転送バスが複数あることを利用し、全体としてはコンピュータからのデータ入出力処理を止めずに制御プログラムを変更しているものの、制御プログラムの変更に関わるデータ転送バスについてはコンピュータからのデータ入出力処理を停止している。そのため、コンピュータは当該データ転送バスを迂回してデータの入出力を行わなければならなかつた。そしてコンピュータにデータ転送バスを迂回させるためにコンピュータの設定変更を行う必要があつた。

30

本発明は、記憶装置の制御装置及び記憶装置の制御装置の制御方法を提供することを主たる目的とする。

【0005】

【課題を解決するための手段】

コンピュータとの間で通信を行うための第1の通信ポートと、前記第1の通信ポートを制御する第1のプロセッサと、前記コンピュータから前記第1の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第1の待ち行列を記憶する第1の記憶手段と、前記第1のプロセッサがアクセスする第1の不揮発性メモリと、前記コンピュータとの間で通信を行うための第2の通信ポートと、前記第2の通信ポートを制御する第2のプロセッサと、前記コンピュータから前記第2の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第2の待ち行列を記憶する第2の記憶手段とを備え、前記第1のプロセッサは、前記第1の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、前記第2のプロセッサは、前記第2の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置において、前記第1の待ち行列に格納された前記コマンドの実行

40

50

を前記第2のアロセッサに担当させる手段と前記第1の待ち行列に格納された前記コマンドの実行を前記第2のアロセッサに担当させている間に、前記第1の不揮発性メモリに記憶されるデータを変更する手段とを備える。

【0006】

その他、本願が開示する課題、及びその解決方法は、発明の実施の形態の欄、及び図面により明らかにされる。

【0007】

【発明の実施の形態】

====開示の概要====

本明細書の記載により少なくとも次のことが明らかにされる。

10

本実施の形態の一形態は、コンピュータとの間で通信を行うための第1の通信ポートと、前記第1の通信ポートを制御する第1のアロセッサと、前記コンピュータから前記第1の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第1の待ち行列を記憶する第1の記憶手段と、前記第1のアロセッサがアクセスする第1の不揮発性メモリと、前記コンピュータとの間で通信を行うための第2の通信ポートと、前記第2の通信ポートを制御する第2のアロセッサと、前記コンピュータから前記第2の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第2の待ち行列を記憶する第2の記憶手段とを備え、前記第1のアロセッサは、前記第1の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、前記第2のアロセッサは、前記第2の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置において、前記第1の待ち行列に格納された前記コマンドの実行を前記第2のアロセッサに担当させる手段と前記第1の待ち行列に格納された前記コマンドの実行を前記第2のアロセッサに担当させている間に、前記第1の不揮発性メモリに記憶されるデータを変更する手段とを備えることを特徴とする。

20

【0008】

このような態様により、コンピュータと記憶装置の制御装置との間のデータ転送を停止させることなく、不揮発性メモリに記憶されるデータ、例えばアロセッサの制御プログラムを変更することができる。これにより、24時間365日の連続運転が求められるようなコンピュータシステムにおいても、記憶装置へのデータアクセスを停止させることなくシステムの仕様変更を行うことができる。またコンピュータからのデータ転送バスの変更も不要なため、コンピュータには何らの変更も必要とせずに制御プログラムを変更することが可能となる。これにより、例えば遠隔地からの操作により通信網を介して制御プログラムを変更することも可能となる。

30

【0009】

さらに本態様によれば、データ転送バスの動的切り替えが困難な通信プロトコル、例えばファイバチャネルやSCSI (Small Computer System Interface) 等、を採用するオープン系コンピュータに接続される記憶装置の制御装置であっても、記憶装置へのデータアクセスを止めることなく制御プログラムの変更が可能となる。そのため、接続されるコンピュータがオープン系であってもメインフレーム系であっても記憶装置へのデータアクセスを止めることなく制御プログラムの変更を行うことができる。

40

【0010】

また本実施の形態の一形態は、前記第1の待ち行列に格納された前記コマンドの実行を前記第2のアロセッサに担当させる手段は、前記第1のアロセッサが前記第1の待ち行列に格納された前記コマンドを前記第2の待ち行列に転送し、前記第2のアロセッサが前記第2の待ち行列から前記コマンドを読み出して実行する手段であることを特徴とする。

【0011】

このような態様により、第1及び第2の両方の通信ポートを介したコンピュータとのデータ転送のためのコマンドを第2のアロセッサが第2の待ち行列から読み出して実行することができる。これにより、第1の通信ポートを介したデータ転送を停止させることなく、

50

第1のプロセッサの制御プログラムを変更することが可能となる。

【0012】

また本実施の形態の一形態は、前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させる手段は、前記第2のプロセッサが前記第1の待ち行列から前記コマンドを読み出して実行することを特徴とする。

【0013】

このような態様によつても、第2のプロセッサは第1及び第2の両方の通信ポートを介したコンピュータとのデータ転送のためのコマンドを実行することができる。これにより、第1の通信ポートを介したデータ転送を停止させることなく、第1のプロセッサの制御プログラムを変更することが可能となる。

10

【0014】

また本実施の形態の一形態は、前記第1の不揮発性メモリに記憶されるデータを変更する手段は、前記第1のプロセッサが、外部から入力されるデータを前記第1の不揮発性メモリに記憶されるデータに上書きする手段であることを特徴とする。

【0015】

また本実施の形態の一形態は、コンピュータとの間で通信を行うための第1の通信ポートと、前記第1の通信ポートを制御する第1のプロセッサと、前記コンピュータから前記第1の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第1の待ち行列を記憶する第1の記憶手段と、前記第1のプロセッサがアクセスする第1の不揮発性メモリと、前記コンピュータとの間で通信を行うための第2の通信ポートと、前記第2の通信ポートを制御する第2のプロセッサと、前記コンピュータから前記第2の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第2の待ち行列を記憶する第2の記憶手段とを備え、前記第1のプロセッサは、前記第1の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、前記第2のプロセッサは、前記第2の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置の制御方法であつて、前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させるステップと、前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させている間に、前記第1の不揮発性メモリに記憶されるデータを変更するステップとを備えることを特徴とする。

20

【0016】

====全体構成例====

まず、本実施の形態に係る記憶装置システムの1構成例を示すブロック図を図1に示す。本実施の形態に係る記憶装置システム1000は、ディスク制御装置(記憶装置の制御装置)200、及び記憶装置300を備える。ディスク制御装置200は、チャネル制御部400、ディスク制御部800、サービスプロセッサ(SVP: Service Processor)500、共有メモリ(SM: Shared Memory)600、キャッシュメモリ700、及び内部ネットワーク900を備える。

30

【0017】

コンピュータ100はディスク制御装置200を介して記憶装置300にデータを記憶する。コンピュータ100は、メインフレーム系コンピュータとすることもできるし、オーラン系コンピュータとすることもできる。またコンピュータ100とディスク制御装置200は、ネットワークを介して接続されるようにしてすることもできるし、直接に接続されるようにしてすることもできる。この場合ネットワークとしては、SAN(Storage Area Network)や、インターネット、専用LAN(Local Area Network)等、様々なネットワークを採用することができる。通信プロトコルとしては、ファイバチャネルやSCSI、ESCON、FICON等、様々なものを採用することができる。

40

【0018】

チャネル制御部400はコンピュータ100と接続され、コンピュータ100との間でデータ

50

ータを授受する。チャネル制御部400がコンピュータ100から受信したデータはディスク制御部800を介して記憶装置300に書き込まれる。またコンピュータ100から読み出し要求のあったデータを記憶装置300からディスク制御部800を介して読み出して、コンピュータ100に送信する。なおチャネル制御部400やディスク制御部800、コンピュータ100は2台に限られず、それぞれ任意の台数とすることができます。

【0019】

キャッシュメモリ700は、チャネル制御部400とディスク制御部800との間で授受されるデータを一時的に記憶し記憶装置300へのアクセス頻度を減らすことにより、コンピュータ100からのデータアクセスを高速化するために用いられる。共有メモリ600は、全てのチャネル制御部400からアクセス可能なメモリであり、制御情報の記憶等に用いられる。

10

【0020】

チャネル制御部400、ディスク制御部800、キャッシュメモリ700、及び共有メモリ600は、内部ネットワーク900により相互に接続されている。内部ネットワーク900としてはどのようなトポロジのものでも採用することもでき、例えばクロスバ結合やバス結合とすることができます。なお内部ネットワーク900を設けずに、チャネル制御部400やディスク制御部800等を直接に接続する態様とすることもできる。

【0021】

サービスプロセッサ500は、ディスク制御装置200や記憶装置300を保守・管理するためのコンピュータである。例えばチャネル制御部400において実行される制御プログラムの変更は、サービスプロセッサ500からの指示により行われる。サービスプロセッサ500は、ディスク制御装置200に内蔵されている形態とすることもできるし、別体とすることもできる。またサービスプロセッサ500は、ディスク制御装置200、記憶装置300の保守・管理を専用に行うコンピュータとすることもできるし、汎用のコンピュータに保守・管理機能を持たせたものとすることもできる。

20

【0022】

記憶装置300は、コンピュータ100に提供するための記憶資源301を備えている。記憶資源301としては、例えばハードディスク装置やフレキシブルディスク装置、磁気テープ、半導体記憶装置等様々なものを採用することができます。

【0023】

30

====ディスク制御装置の構成例====

次に、本実施の形態に係るディスク制御装置200の1構成例を示すプロック図を図2に示す。

チャネル制御部400がコンピュータ100と接続されている。また、チャネル制御部400、共有メモリ600、キャッシュメモリ700、サービスプロセッサ500が相互に結合されている。ディスク制御部800、内部ネットワーク900は図面の簡単化のために省略されている。

【0024】

本実施の形態に係るディスク制御装置200においては、2台のチャネル制御部400、すなわちチャネル制御部A400aとチャネル制御部B400bとが設けられている。各チャネル制御部400a及び400bは、IF (InterFace) コントローラ (通信ポート) 401、バスコントローラ402、プロセッサ403、ローカルメモリ404、DMA (Direct Memory Access) 転送回路407を備える。

40

【0025】

バスコントローラ402は、各チャネル制御部400の内部でのデータ転送を制御すると共に、各チャネル制御部400間を相互に接続する。

【0026】

IFコントローラ401はコンピュータ100との間でデータの送受信を行うための通信ポートとして機能する。IFコントローラ401がコンピュータ100から受信したデータはDMA転送回路407を経由してキャッシュメモリ700に転送される。またキャッシュメモリ700は、各チャネル制御部400の外部とのデータ転送を制御する。

50

シュメモリ700に記憶されているデータは、DMA転送回路407を介してIFコントローラ401に取り込まれ、コンピュータ100に転送される。DMA転送回路407にはIFコントローラ401とキャッシュメモリ700との間で行われるデータ転送のためのバッファ408が備えられている。

【0027】

このようなデータ転送は、コンピュータ100から送られてくるデータ転送のためのコマンド（リードコマンド、ライトコマンド等）に従って行われる。IFコントローラ401は、コンピュータ100から送られてきたコマンドをローカルメモリ404のJOBキュ-406に書き込む。アロセッサ403はJOBキュ-406に書き込まれたコマンドを読み出し、コマンドに従ってIFコントローラ401やDMA転送回路407を制御することにより、コンピュータ100との間のデータ転送を制御する。

10

【0028】

ローカルメモリ404にはマイクロプログラム（制御プログラム）405が格納されている。マイクロプログラム405はアロセッサ403の動作を司るためのアロプログラム（データ）である。従ってマイクロプログラム405を変更することにより、アロセッサ403の動作を変えることができる。なおローカルメモリ404はフラッシュメモリ等のデータ書き換えが可能な不揮発性メモリであり、電力の供給が無くても記憶データを保持することができる。もちろんローカルメモリ404を揮発性メモリで構成し、ローカルメモリ404への供給電力をバッテリでバックアップすることによりディスク制御装置200の電源を遮断しても記憶データを保持するようになることができる。

20

【0029】

マイクロプログラム405の変更は、新規マイクロプログラム414をサービスアロセッサ500が共有メモリ600の所定のアドレスに書き込むことにより行われる。アロセッサ403は、起動時にローカルメモリ404の所定のアドレスに記憶されているマイクロプログラム405のバージョンと、共有メモリ600の所定のアドレスに記憶されている新規マイクロプログラム414のバージョンを比較する。アロセッサ403が毎回の起動時にこのような動作を行うのは、マイクロプログラム405または新規マイクロプログラム414にどのように記述されているからである。共有メモリ600の所定のアドレスにバージョンが記憶されていないか又は両プログラムのバージョンが同一の場合は、ローカルメモリ404に記憶されているマイクロプログラム405に従ってアロセッサ403は動作する。

30

【0030】

一方、両プログラムのバージョンが異なっている場合には共有メモリ600に記憶されている新規マイクロプログラム414をローカルメモリ404の所定のアドレスにコピーする。これによりアロセッサ403は新規マイクロプログラム414に従った動作をするようになる。なおアロセッサ403に、新規マイクロプログラム414を共有メモリ600からローカルメモリ404にコピーせるのは、古いマイクロプログラム405とすることもできだし、新規マイクロプログラム414とすることもできる。前者の場合は、新規マイクロプログラム414をローカルメモリ404にコピーし終えた段階でアロセッサを再起動（リブート）し、新規マイクロプログラム414をアロセッサ403に認識せることが必要となる。後者の場合は、新規マイクロプログラム414をローカルメモリ404にコピーしつつ、アロセッサ403は新規マイクロプログラム414を認識する。この場合再起動は不要である。

40

【0031】

====マイクロプログラムの変更処理====

次に、本実施の形態に係るマイクロプログラムの変更処理の流れを示すフローチャートを図3に示す。ここでは、図2におけるアロセッサA403のマイクロプログラム405を変更する場合を例に説明する。

【0032】

アロセッサA403のマイクロプログラム405の変更前は、アロセッサA403は

50

、 I F コントローラ A 4 0 1 a を介したチャネル制御部 A 4 0 0 a のデータ入出力を制御してあり、プロセッサ B 4 0 8 b は、 I F コントローラ B 4 0 1 b を介したチャネル制御部 B 4 0 0 b のデータ入出力を制御している (S 1 0 0 1 、 S 1 0 0 2) 。

【 0 0 8 3 】

プロセッサ A 4 0 3 a のマイクロプログラム 4 0 5 を変更する場合には、まずサービスプロセッサ 5 0 0 が新規マイクロプログラム 4 1 4 を共有メモリ 6 0 0 に書き込む。そしてプロセッサ A 4 0 3 a に対してマイクロプログラムの交換指示を送信する (S 1 0 0 0 、 S 1 0 0 3) 。

【 0 0 8 4 】

交換指示を受け取ったプロセッサ A 4 0 3 a は、仕掛けり中の J O B (入出力処理) はそのまま継続して実行するが、コンピュータ 1 0 0 からの新たな J O B は実行しない。新たな J O B は、ローカルメモリ 4 0 4 a 上に設けられる J O B キュー A 4 0 6 a とは別の、新規 J O B キュー A 4 1 3 a に格納しておく (S 1 0 0 4) 。なおここで、サービスプロセッサ 5 0 0 から交換指示を受信した時点で、 J O B キュー A 4 0 6 a に格納されている未処理 J O B については、新規 J O B キュー A 4 1 3 a に移し替えるようにすることもできるし、仕掛けり中の J O B として処理を行ってしまうこともできる。

10

【 0 0 8 5 】

仕掛けり中の J O B の処理が終了したら (S 1 0 0 5) 、プロセッサ A 4 0 3 a はプロセッサ B 4 0 8 b に対して、チャネル制御部 A 4 0 0 a の入出力処理を行うよう指示を送信する。そして新規 J O B キュー A 4 1 3 a に格納されている J O B (入出力コマンド) をローカルメモリ B 4 0 4 b の J O B キュー B 4 0 6 b に転送する (S 1 0 0 6) 。これによりプロセッサ B 4 0 8 b は、チャネル制御部 A 4 0 0 a の入出力処理を行うことができるようになる。なおここで、新規 J O B キュー A 4 1 3 a に格納されている J O B をローカルメモリ B 4 0 4 b の J O B キュー B 4 0 6 b に転送しない様様とすることもできる。この場合プロセッサ B 4 0 8 b は、ローカルメモリ A 4 0 4 a の新規 J O B キュー A 4 1 3 a を参照することにより、チャネル制御部 A 4 0 0 a の入出力処理を行うことになる。プロセッサ B 4 0 8 b は、上記指示及び J O B をプロセッサ A 4 0 3 a から受け取ったらサービスプロセッサ 5 0 0 に対してチャネル制御部 A 4 0 0 a の入出力処理を行うことを報告する (S 1 0 0 7) 。

20

【 0 0 8 6 】

報告を受け取ったサービスプロセッサ 5 0 0 は、プロセッサ A 4 0 3 a に対して、再起動 (リブート) の指示を行う (S 1 0 0 9) 。

30

【 0 0 8 7 】

そうすると、プロセッサ A 4 0 3 a は、ローカルメモリ 4 0 4 a の所定のアドレスに記憶されているマイクロプログラム 4 0 5 のバージョンと、共有メモリ 6 0 0 の所定のアドレスに記憶されている新規マイクロプログラム 4 1 4 のバージョンを比較する。ここで両プログラムのバージョンが異なっていれば、共有メモリ 6 0 0 に記憶されている新規マイクロプログラム 4 1 4 をローカルメモリ 4 0 4 a の所定のアドレスにコピーする (S 1 0 1 0) 。新規マイクロプログラム 4 1 4 をローカルメモリ 4 0 4 a にコピーし終えたら、プロセッサ A 4 0 3 a は再起動する (S 1 0 1 1 、 S 1 0 1 2) 。これによりプロセッサ A 4 0 3 a の動作を司るマイクロプログラム 4 0 5 を新規マイクロプログラム 4 1 4 に変更することができる。

40

【 0 0 8 8 】

なお前述した通りプロセッサ A 4 0 3 a は、サービスプロセッサ 5 0 0 から再起動指示を受けた段階で直ちに再起動を行うようになることができる。この場合は、共有メモリ 6 0 0 に記憶されている新規マイクロプログラム 4 1 4 をローカルメモリ 4 0 4 a にコピーしつつ、新規マイクロプログラム 4 1 4 の組み込みが同時に行われる。

【 0 0 8 9 】

プロセッサ A 4 0 3 a がマイクロプログラムの変更処理を行っている間は、プロセッサ A 4 0 3 a は I F コントローラ A 4 0 1 a の制御を行うことができない。そのため従来の技

50

術では、コンピュータ100との間のデータ入出力制御を継続させるために、コンピュータ100からのデータ転送経路をIFコントローラA401aとは別のIFコントローラ、例えばIFコントローラB401bへ変更させる必要があった。

【0040】

しかし本実施の形態に係るマイクロプログラムの変更においては、データ転送経路の変更は不要である。なぜならプロセッサB403bがIFコントローラA401aの制御を行うからである。すなわちプロセッサB403bは、プロセッサA403aがマイクロプログラムの変更を行っている間、コンピュータ100とIFコントローラB401bとの間のデータ転送の処理に加え、コンピュータ100とIFコントローラA401aとの間のデータ転送の処理も行うからである(81008)。

10

【0041】

プロセッサB403bは、ローカルメモリA404aからローカルメモリB404bに移し換えた上記JOBを処理することにより、IFコントローラA401aとコンピュータ100との間のデータ転送の処理を行う。またプロセッサB403bは、ローカルメモリA404aの新規JOBキーA413aを定期的に参照し、新規JOBキーA413aに新たなJOBがあるかどうかをチェックする。これによりコンピュータ100からチャネル制御部A400aに継続して送られてくる新たなJOBの処理を行う。新規JOBキーA413aに新たなJOBが格納されている場合には、当該JOBをローカルメモリA404aからローカルメモリB404bに移し換えてデータ転送の処理を行う(81008)。もちろん、新規JOBキーA413aに格納されている新規JOBをローカルメモリB404bに移し換えない様子とすることもできる。

20

【0042】

IFコントローラA401aを介してコンピュータ100との間で授受されるデータは、DMA転送回路A407aを経由するようにすることもできるし、DMA転送回路B407bを経由するようにすることもできる。

【0043】

プロセッサA403aのマイクロプログラムの変更が終了したら(81012)、プロセッサA403aは、プロセッサB403bに対して、IFコントローラA401aを介したチャネル制御部A400aの入出力処理をプロセッサA403aに戻すよう、指示を送信する(81014)。

30

【0044】

そうすると、指示を受け取ったプロセッサB403bは、仕掛けり中のチャネル制御部A400aのJOBはそのまま継続して実行するが、新たにチャネル制御部A400aがコンピュータ100から受け取ったJOBは実行しない。すなわちローカルメモリA404aの新規JOBキーA413aに新たなJOBがあつても、ローカルメモリB404bへの移し換えは行わない。これ以降にチャネル制御部A400aがコンピュータ100から受け取ったJOBはローカルメモリA404aのJOBキーA406aに格納するようにする(81014)。

【0045】

プロセッサB403bは、仕掛けり中のチャネル制御部A400aのJOBの処理が終了したら(81015)、プロセッサA403aに対してチャネル制御部A400aの入出力処理を返還する旨の送信を行う(81016)。続いてプロセッサA403aはサービスプロセッサ500に対してマイクロプログラムの変更を終了した旨の報告を行う(81017)。

40

【0046】

以上でプロセッサA403aのマイクロプログラムの変更処理が終了する。その後は、プロセッサA403aはIFコントローラA401aを介したチャネル制御部A400aのデータ入出力を制御し、プロセッサB403bはIFコントローラB401bを介したチャネル制御部B400bのデータ入出力を制御する(81018、81019)。

プロセッサB403bのマイクロプログラム405を変更する場合も同様である。

50

【0047】

====ディスク制御装置の他の構成例====

次に、本実施の形態に係るディスク制御装置200の他の構成例を示すプロック図を図4に示す。

図4の構成例においては、チャネル制御部A400a及びチャネル制御部B400bは、それぞれ4台のIFコントローラ(IF Controller)401、4台のアロセッサ403、及び4台のローカルメモリ(LM)404を備えている。そして、各コンポーネントを結合するバスの規格としてはPCI-X(Peripheral Components Interconnect)が採用されている。

【0048】

このような構成の場合のマイクロプログラムの交換は、以下に示すような様で行うことができる。

すなわち第1の態様は、図2及び図3で示したのと同様、チャネル制御部A400aに属するあるアロセッサA403aのマイクロプログラムを交換している間、当該アロセッサA403aがそれまで行っていたコンピュータ100との間のデータ転送の制御を、チャネル制御部B400bに属するあるアロセッサB403bに行わせる態様である。このような態様によれば、コンピュータ100とディスク制御装置200との間のデータ転送を停止させることなく、さらにコンピュータ100とディスク制御装置200との間のデータ転送バスに何らの変更を必要とすることなく、ディスク制御装置200のマイクロプログラムを変更することができる。

10

20

【0049】

また第2の態様は、同一チャネル制御部内のアロセッサを用いて上記マイクロプログラムの変更を行う態様である。このようない様によれば、チャネル制御部400を1台しか備えていないディスク制御装置200においても、コンピュータ100とディスク制御装置200との間のデータ転送を停止させることなく、さらにコンピュータ100とディスク制御装置200との間のデータ転送バスに何らの変更を必要とすることなく、ディスク制御装置200のマイクロプログラムを変更することができる。

【0050】

さらに図4に示す構成例によれば、コンピュータ100とディスク制御装置200との間のデータ転送を停止させることなく、さらにコンピュータ100とディスク制御装置200との間のデータ転送バスに何らの変更を必要とすることなく、複数のアロセッサのマイクロプログラムを同時に交換することもできる。

30

【0051】

以上本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

【0052】

【発明の効果】

記憶装置の制御装置、及び記憶装置の制御装置の制御方法を提供することができる。

40

【図面の簡単な説明】

【図1】本実施の形態に係る記憶装置システムの1構成例を示すプロック図である。

【図2】本実施の形態に係るディスク制御装置の1構成例を示すプロック図である。

【図3】本実施の形態に係るマイクロプログラムの変更処理の流れを示すフローチャートである。

【図4】本実施の形態に係るディスク制御装置の他の構成例を示すプロック図である。

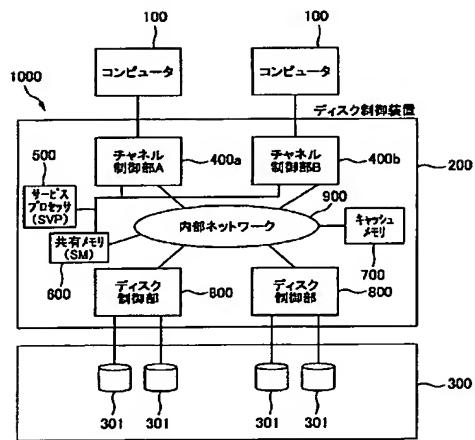
【符号の説明】

100	コンピュータ
200	ディスク制御装置
300	記憶装置
301	記憶資源

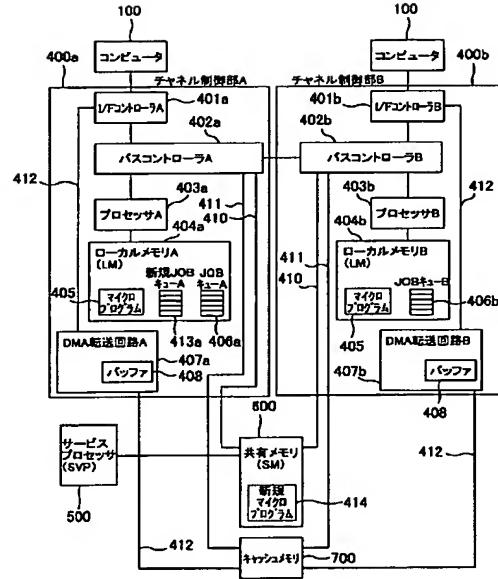
50

4 0 0	チャネル制御部	
4 0 1	I F コントローラ	
4 0 2	バスコントローラ	
4 0 3	プロセッサ	
4 0 4	ローカルメモリ	
4 0 5	マイクロプログラム	
4 0 6	J O B キュー	
4 0 7	D M A 転送回路	
4 0 8	バッファ	
4 0 9	P C I - X	10
4 1 0	共有メモリバス	
4 1 1	キャッシュ制御バス	
4 1 2	キャッシュデータバス	
4 1 3	新規 J O B キュー	
4 1 4	新規マイクロプログラム	
5 0 0	サービスプロセッサ	
6 0 0	共有メモリ	
7 0 0	キャッシュメモリ	
8 0 0	ディスク制御部	
9 0 0	内部ネットワーク	20
1 0 0 0	記憶装置システム	

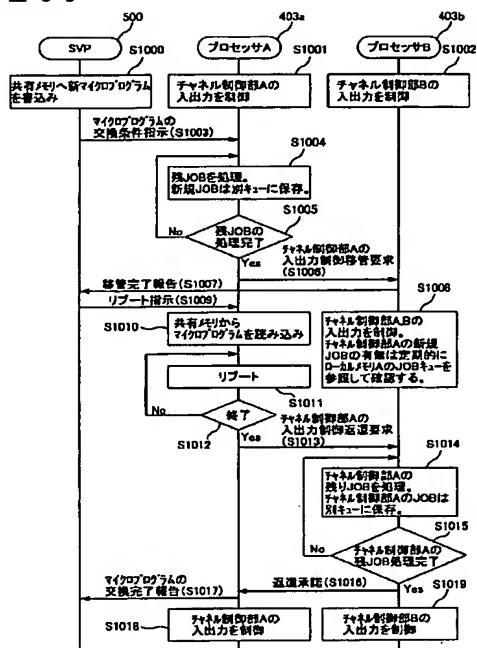
【図1】



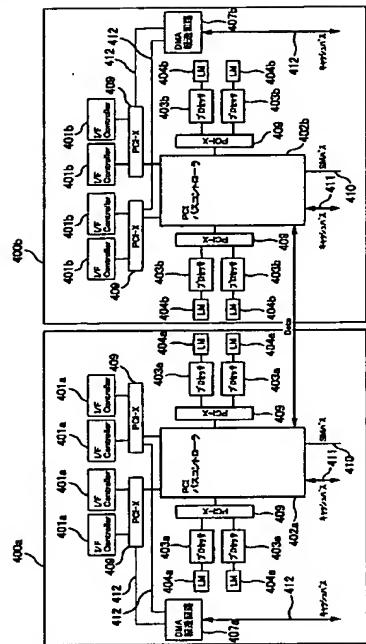
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 内海 勝広
神奈川県小田原市中里 322番地2号 株式会社日立製作所R.A.I.Dシステム事業部内

(72)発明者 桑原 宏
神奈川県小田原市中里 322番地2号 株式会社日立製作所R.A.I.Dシステム事業部内

(72)発明者 光岡 芳夫
神奈川県小田原市中里 322番地2号 株式会社日立製作所R.A.I.Dシステム事業部内

F ターム(参考) 5B076 EA17 EB02